

MENU

SEARCH

INDEX

JAPANESE

**LEGAL
STATUS**

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **58-009356**
(43)Date of publication of
application : **19.01.1983**

(51)Int.Cl. **H01L 27/08**
H01L 21/74
H01L 29/72

(21)Application **56-106515** (71) **TOSHIBA CORP**
number : Applicant :
(22)Date of filing : **08.07.1981** (72)Inventor : **IWASAKI HIROSHI**

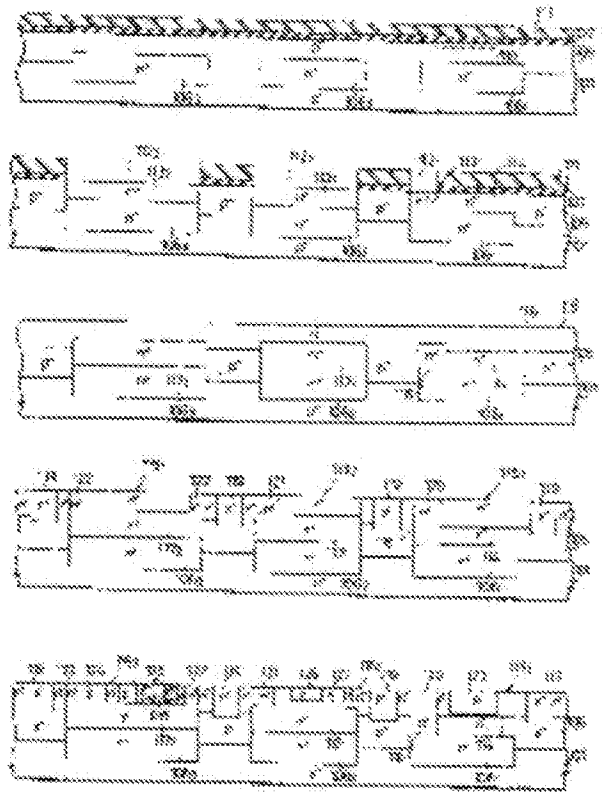
(54) **SEMICONDUCTOR DEVICE**

(57)Abstract:

PURPOSE: To provide a high withstand voltage element and a high speed element in a single substrate by a method wherein a p epitaxial layer and an n epitaxial layer are laid down on a p- type Si substrate one upon another and a two layer structure is buried near the boundary between the substrate and the p epitaxial layer and the boundary between the two epitaxial layers.

CONSTITUTION: An n+ layer 106 is buried in the vicinity of the boundary between a p-Si substrate 101 and a p- epitaxial layer 105. The upper part of a layer 1061 is implanted with P ions 110 through an SiO₂ layer 107, whereon an SiO₂ layer 111 is added. An opening 112 is selectively provided and Sb is thermally diffused for the formation of an n+ layer 113, and an n- layer 114 is produced of the layer 110. The layers 107 and 111 are removed, and an n- epitaxial layer 115 is laid down, when n+ lays 116 and 117 are formed along the boundary with the layer 105 by self-diffusion. Next, the product is divided by a p+ layer 119 into three regions

1151~1153 for a high withstand voltage element, a high speed element and an I²L. During the dividing process, the n- layer 114 being of a concave, the p+ layer is completed in a short period with diffusion matching the thickness of the epitaxial layer 115, and the buried layer self-diffusion is prevented. Conventional processes follow, whereby an IC with several prescribed units in coexistence thereon is realized, highly integrated without increasing isolating layer area.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—9356

⑫ Int. Cl.³
H 01 L 27/08
21/74
29/72

識別記号

庁内整理番号
7925—5F
8122—5F
7514—5F

⑬ 公開 昭和58年(1983)1月19日

発明の数 1
審査請求 有

(全 10 頁)

⑭ 半導体装置

川崎市幸区堀川町72番地東京芝
浦電気株式会社堀川町工場内

⑮ 特 願 昭56—106515

⑯ 出 願 人 東京芝浦電気株式会社

⑰ 出 願 昭56(1981)7月8日

川崎市幸区堀川町72番地

⑱ 発 明 者 岩崎博

⑲ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 第1導電型の半導体基板と、この半導体基板上に設けられた第1導電型の第1半導体層と、前記基板と第1半導体層の界面付近に複数設けられた高濃度の第2導電型の第1半導体領域と、前記第1半導体層上に設けられた第2導電型の第2半導体層と、前記第1半導体領域のうちの少なくとも1箇所に直上に位置する第1半導体層部分に前記第2半導体層とつながって形成され、該第2半導体層と同濃度もしくは低い濃度の第2導電型の第2半導体領域と、この第2半導体領域以外の前記第1半導体層と第2半導体層の界面付近に形成され、少なくとも1つが前記第1半導体領域とつながる高濃度の第2導電型の第3半導体領域とを具備したことを特徴とする半導体装置。

2. 第2導電型の第2半導体領域内に高濃度

の第2導電型の第4半導体領域を該第2半導体領域表面から深さ方向に伸び、高濃度の第2導電型の第1半導体領域とつながるように形成したことを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 第2導電型の第2半導体層に、高濃度の第1導電型の第4半導体領域を第1導電型の第1半導体層まで達するように選択的に形成し、この第4半導体領域で分離され、下部に第2導電型の第2半導体領域がつながって存在する島状の第2半導体層部分もしくは同部分と第2半導体領域にバイポーラ型の高野圧素子を、前記第4半導体領域で分離され、下部に高濃度の第2導電型の第3半導体領域が存在する島状の第2半導体層部分に1個以上の通常の半導体素子を、設けたことを特徴とする特許請求の範囲第1項記載の半導体装置。

4. 通常の半導体素子として、キャリアインжекッション機構部をエミッタとしてもつnpn型のpnpトランジスタと該pnpトランジス

トのベースをエミッタ、コレクタをベースとして共有する逆導通のパーティカレクタトランジスタとで構成した I^2L を用いることを特徴とする特許請求の範囲第3項記載の半導体装置。

5. 通常の半導体素子として、 I^2L と高速動作パーティカレクタトランジスタ、ラテラルトランジスタとを共存させて用いることを特徴とする特許請求の範囲第4項記載の半導体装置。

2. 発明の詳細な説明

本発明は半導体装置に関し、詳しくは高耐圧バイポーラトランジスタと高速性の半導体素子を共存し得る改良した半導体素子を備えた半導体装置に関する。

半導体装置回路においては、高耐圧と高速性の半導体素子を共存させる技術が必要とされながら、共に相反する要求があるため実現が困難であった。

このようにことから、第1図に示す構造の半導体素子を用いて半導体装置回路を構成することが、従来行なわれている。すなわち、第1図

中の1は p^+ 型シリコン基板であり、この基板1上には n^+ 型のシリコンエピタキシャル層2が形成されている。また、前記基板1とシリコンエピタキシャル層2の界面には n^+ 埋込み層3、4が選択的に設けられている。そして、一方の n^+ 埋込み層3に對向するシリコンエピタキシャル層2表面をエッチングして凹部5を設けている。なお、こうした半導体素子においては、表面から埋込み層3までの深さが浅いエピタキシャル層部分2に高速性の半導体素子を、表面から埋込み層3までの深さが深いエピタキシャル層部分2に高耐圧の半導体素子を、形成する。しかしながら、かかる構造の半導体素子においては、シリコンエピタキシャル層2表面に凹部5が設けられ、平坦性に欠けたため半導体装置回路の集積加工工程において不都合を生じる。

別の半導体素子としては、従来、第2図に示す構造のものが知られている。すなわち、第2図中の1は p^+ 型シリコン基板であり、この

基板1上には第1の n^+ 型シリコンエピタキシャル層11が形成されている。また、前記基板1と n^+ 型シリコンエピタキシャル層11の界面には第1の n^+ 埋込み層12、13が選択的に設けられている。そして、前記エピタキシャル層11上に第2の n^+ 型シリコンエピタキシャル層14が形成され、かつ前記 n^+ 埋込み層12、13に對向する第1、第2のエピタキシャル層11、14の界面部分には第2の n^+ 埋込み層15が設けられている。なお、こうした半導体素子においては、第2の n^+ 埋込み層15上に位置する第2のシリコンエピタキシャル層14部分に高速性の半導体素子を、第1の n^+ 埋込み層12、13上の第1、第2のシリコンエピタキシャル層11、14部分に高耐圧の半導体素子を、形成する。しかしながら、かかる半導体素子から電気的な分離が必要な半導体装置回路を製造する場合、二層の深いシリコンエピタキシャル層11、14に拡散による p^+ 型のアイソレーション領域（或いは酸化膜

等による誘電体分離領域）を形成する必要がある。その結果、長時間の熱処理工程において、埋込み層12、13、15の露み出しが散見し、高耐圧半導体素子の耐圧コントロール、高速性半導体素子の高速特性コントロールが非常に難しくなる。特に、高耐圧を確保するために、エピタキシャル層の厚さを増加させなければならないが、そうすると更に深い p^+ 型のアイソレーション領域が必要となり、耐圧コントロールがより困難となる。なお、このように問題を回避した第1図図示の半導体素子でも同様である。

本発明は上記事情に鑑みなされたもので、表面が平坦で、コントロール性よく高耐圧のバイポーラ素子及び高速性の半導体素子を形成し得る半導体素子を備えた半導体装置を提供しようとするものである。

以下、本発明の一実施例を図3図(a)~(d)の製造方法を併記して詳細に説明する。

〔1〕 まず、第3図(a)に示す如く p^+ 型シリコ

ン基板101の主面上に熱酸化処理により熱酸化膜102を形成し、更に該熱酸化膜102を選択的にエッチング除去して3つの開口部103、～105を設けた後、高温炉中にてSiやAsなどのp型不純物を各開口部103、～105から導出した基板101部分にシート抵抗が5～50Ω/□と十分低くなるまで拡散してp⁺型の拡散層104、～106を形成した。つづいて、熱酸化膜102を全て除去した後、基板101と同導電型で比抵抗が1Ω-cm以上の低抵抗のn⁻型シリコンエピタキシャル層108を3μm以上の厚さで成長させた(第3図(a)図示)。この時、p⁺型の拡散層104、～106がエピタキシャル成長中の熱によりn⁻型シリコンエピタキシャル層108にオートドーピング現象を起し、導み出して基板101とエピタキシャル層108の界面付近に第1のp⁺型拡込み層109、～111が選択的に形成された。

〔II〕 次いで、熱酸化処理を施してp⁻型の

開口した。その後、高温炉中にてSiやAsなどのp型不純物を拡散層112、～114から導出したp⁻型シリコンエピタキシャル層108部分にシート抵抗が5～50Ω/□と十分低くなるまで拡散して第1のp⁺型拡込み層109、～111に達するp⁺型拡散層113、～115及び他の第1のp⁺型拡込み層109、～111と夫々達する広い面積のp⁺型拡散層113、～115を夫々形成した(第3図(a)図示)。この熱拡散工程において、エピタキシャル層108のリンイオン注入層116が拡散されて第1のp⁺型拡込み層109、～111上の同エピタキシャル層108部分にn⁻型不純物領域114が形成された(同第3図(a)図示)。

〔IV〕 次いで、CVD-SiO₂膜117及び熱酸化膜107を全て除去した後、p⁻型シリコンエピタキシャル層108上に該エピタキシャル層108と同等電阻で抵抗が10¹⁴～10¹⁶Ω-cm²のp⁻型シリコンエピタキシャル層118を1μm以上で成長させた(第3図(b)図示)。この時、

エピタキシャル層108表面に厚さ約1000Åの熱酸化膜107を成長させ、更に全面にフォトリソスト膜108を形成した後、写真蝕刻法により第1のp⁺型拡込み層109、～111に対応するレジスト膜108に開口部109を形成した。ひきつづき、該レジスト膜108をマスクとしてp型不純物で拡散係数の大きいリンを加速電圧150～220kV、ドーズ量5×10¹⁵/cm²の条件で開口部109の熱酸化膜107を通してイオン注入し、リンイオン注入層110をp⁻型シリコンエピタキシャル層108に選択的に形成した(第3図(b)図示)。

〔III〕 次いで、フォトリソスト膜108を除去した後、熱酸化膜107上に厚さ約1μmのCVD-SiO₂膜117を堆積した(第3図(c)図示)。つづいて、CVD-SiO₂膜117及び熱酸化膜107を選択的にエッチング除去して前記第1のp⁺型拡込み層109、～111の一部に対応する部分に拡散層112、～114を、前記p⁺型拡込み層109、～111の直上部分に拡散層113、～115を夫々

p⁺型拡散層113、～115、113、～115がエピタキシャル成長中の熱によりn⁻型シリコンエピタキシャル層118にオートドーピング現象を起し、導み出してp⁻型不純物領域114内に第1のp⁺型拡込み層109、～111に達するp⁺型拡散領域116が形成されると共に、p⁻型とn⁻型のシリコンエピタキシャル層108、118の界面付近に前記第1のp⁺型拡込み層109、～111とつながる第2のp⁺型拡込み層117、～117が形成された。これにより、同第3図(d)に示す構造の半導体素体118が作製される。

〔V〕 次いで、n⁻型シリコンエピタキシャル層118にp型不純物を選択拡散して該エピタキシャル層118を電的に分離するp⁻型シリコンエピタキシャル層108にまで達するp⁺型のアイソレーション領域119…を形成し、高耐圧バイポーラトランジスタ、高速バイポーラトランジスタ、I²Lの素子形成領域113、～115、113、～115を分離した。つづいて、リン或いは砒素もしくはリンと砒素の混合物をp⁻

型シリコンエピタキシャル層の各素子形成領域115、～116、に選択的に拡散して第1の p^+ 層込み層120を p^+ 拡散領域114を介して同エピタキシャル層115表面に取出すためのdeep p^+ 層120、及び第2の p^+ 層込み層117、117'、を同エピタキシャル層115表面に取出すためのdeep p^+ 層121、122を夫々形成した(第3図(四)図示)。なお、第2の p^+ 層込み層117、に接続するdeep p^+ 層122は該層込み層117、上の素子形成領域116、を覆うように形成されている。

(vi) 次に、各素子形成領域115、116、に p -型不純物であるボロンを選択的にイオン注入し、拡散して高耐圧バイポーラ形成領域に抵抗が120～200Ωの深い p -型ベース領域123を、 I^2L 形成領域に同領域で p^+ 層込み層117、に達する p -型のインジエクタ124、 p -型の外部ベース領域125を形成した。つづいて、高耐圧バイポーラ形成領域115、にボロンを選択的にイオン注入し、拡散して抵

抗が120～200Ωの浅く、浅秋の p -型外部ベース領域126を形成した。更に、高耐圧バイポーラ形成領域115、の外部ベース領域126間の p^+ -型のエピタキシャル層115部分及び I^2L 形成領域116、の外部ベース領域126間の p^+ -型のエピタキシャル層115部分を少なくとも含む領域にボロンを選択的にイオン注入し、活性化して領域115、にシート抵抗が300Ω～1kΩの p^+ -型内部ベース領域127、 I^2L の形成領域116、にシート抵抗1～3kΩの p^+ -型の内部ベース領域128を形成した(第3図(四)図示)。なお、このベース形成工程において、イオン注入、活性化処理に代ってボロンを含む熱線膜(例えばBBO膜等)を拡散源として熱拡散してもよい。こうしたベース領域の抵抗値はトランジスタの動作特性により自由に変更し得る。

(vii) 次に、今までの工程で形成された絶縁膜129を選択的にエッチング除去して、拡散源とコンタクトを兼ねる開孔部130、～

130'、を形成した。ひきつづき、全面にリンドープ多結晶シリコン膜131(或いは砒素ドープ、リン砒素ドープの多結晶シリコン膜)を堆積した後、熱処理を施した。この時、多結晶シリコン膜131からリンが開孔部130、～130'、を造してエピタキシャル層115側に拡散した。その結果、第3図(四)に示す如く高耐圧バイポーラ形成領域115、のベース領域123に p^+ 型のエミッタ領域132、同領域116、のdeep p^+ 層120の接層付近に p^+ 型のコレクタ取出し領域133が形成された。また高耐圧バイポーラ形成領域115、においては、 p^+ -型内部ベース領域127上或いは内部に p^+ 型のエミッタ領域134が、deep p^+ 層121の接層付近に p^+ 型のコレクタ取出し領域135が形成された。更に、 I^2L 形成領域116、においては、 p^+ -型内部ベース領域128上に p^+ 型のコレクタ領域136、136'、が形成された。

(viii) 次に、リンドープ多結晶シリコン膜

131を選択的にエッチング除去して開孔部130、～130'、を覆うように残存させた後、絶縁膜129を選択的にエッチング除去してコンタクトホール137、～137'、を形成した。この場合、リンドープ多結晶シリコン膜を先にパターニングした後、熱処理を施してもよい。ひきつづき、全面に金属膜、例えばAl膜を真空蒸着し、パターニングした。これにより高耐圧バイポーラトランジスタにおいては、 p^+ 型エミッタ領域132とリンドープ多結晶シリコン膜131を介して接続したエミッタ取出しAl配線138、ベース領域123とコンタクトホール137'、を介して接続したベース取出しAl配線139、 p^+ 型コレクタ取出し領域133と多結晶シリコン膜131を介して接続したコレクタ取出しAl配線140が形成された。また、高耐圧バイポーラトランジスタにおいては、 p^+ 型エミッタ領域134と多結晶シリコン膜131を介して接続したエミッタ取出しAl配線141、 p -型外部ベース領域126とコンタクトホール

117aを介して接続したベース取出し&E配線114、 p^+ 型コレクタ取出し領域115と多結晶シリコン膜111を介して接続したコレクタ取出し&E配線114が形成された。しかも、高耐圧バイポーラトランジスタと高速バイポーラトランジスタを分離する p^+ 型アイソレーション領域113にはコンタクトホール117aを介してグラフト離子としての&E配線114が形成された。更に、 i^2 しにおいて、deep p^+ 層115とコンタクトホール117aを介して接続したグラフトの&E配線114、 p^+ 型コレクタ領域115、115と多結晶シリコン膜111を介して接続した出力端子となる&E配線114、114、 p 型外部ベース領域125とコンタクトホール117aを介して接続した入力端子となる&E配線117、及び p 型インジクタ124とコンタクトホール117aを介して接続したインジクタ取出し&E配線114が形成された(第3図(f)図示)。

しかして、本発明の半導体装置第3図(f)、(f)

加工工程を著しく短縮できる。したがって、半導体基体111に形成された第1の p^+ 埋込み層106、106、及び第2の p^+ 埋込み層117、117からのオートドーピングを抑制でき、良好な高耐圧特性がコントロールされた高耐圧バイポーラトランジスタ、良好な高速特性がコントロールされた高速バイポーラトランジスタ及び i^2 しと共存した半導体集積回路を得ることができる。しかも、熱拡散時の横方向への拡散を抑制して p^+ 型アイソレーション領域の面積増大を改善でき、ひいては高集積度の半導体集積回路を得ることができる。

また、第2導電型の第3半導体領域である第2の p^+ 埋込み層117、117の下に、これとつながる第1半導体領域としての第1の p^+ 埋込み層106、106を設けることにより、第2の p^+ 埋込み層117、117のシート抵抗を低減でき、この上にepiバイポーラトランジスタを形成した際のコレクタ抵抗の低減化がなされ、動作特性の向上化を図ること

に示す如く p^+ 型シリコン基板101と p^+ 型シリコンエピタキシャル層105からなる第1導電型半導体層上に第2導電型の半導体層である n^+ 型シリコンエピタキシャル層115が設けられ、かつ前記第1導電型の半導体層の表面一部(p^+ 型シリコンエピタキシャル層105表面一部)に前記 n^+ 型シリコンエピタキシャル層115と同濃度もしくは低い濃度の n^+ 型不純物領域114を設けた構造の半導体基体111を備えている。つまり、高耐圧バイポーラトランジスタが形成される端子領域の一部が p^+ 型シリコンエピタキシャル層105に選択的に設けられた n^+ 型不純物領域114で構成され、深んだ形状をなす。このため、高耐圧バイポーラトランジスタ、高速バイポーラトランジスタ及び i^2 しを電気的に分離するための p^+ 型アイソレーション領域(第3図(f)図示の113)は n^+ 型シリコンエピタキシャル層115の膜厚分だけ拡散することにより形成できるので、第2図に示す従来構造の半導体基体を用いた場合に比べて、熱拡

ができる。但し、第2の p^+ 埋込み層117、117のみで十分にシート抵抗を低減できれば、この下に第1の p^+ 埋込み層106、106を設ける必要はない。この際、第2の p^+ 埋込み層106、106を含む高濃度の寄生トランジスタの発生は、動作上問題ない程度に低減できる。換言すれば、高電流が流れ、最低電位(グラフト)の浮き上がりが起こる領域をダブル埋込み層構造にすればよい。

更に、半導体基体111の表面は平坦であるため、前述した第3図(f)~(f)に示す微細加工に極めて有効で、微細なベース、エミッタ等の領域を形成できる。

その他、半導体基体111において第1の p^+ 埋込み層106、上面一部にこれと接続した p^+ 拡散領域115を n^+ 型シリコンエピタキシャル層115まで達するように設ければ、半導体基体111の露部に設けられた第1の p^+ 埋込み層106、を n^+ 型シリコンエピタキシャル層115表面に取出すためのdeep p^+ 層115は該エビ

[illegible]

なお、上記実施例では、 α -型不純物領域 110 の形成をイオン注入法により行ったが、第 3 図 (a) の工程において熱酸化膜 107 の α -型不純物領域形成時定数を選択的に除去して開口を設け、この開口を含む熱酸化膜 107 上にリン添加ガラス膜 (PBG 膜) を形成し、この PBG 膜を拡散障壁としてリンの開口を通して α -型シリコンエピタキシャル膜 108 を拡散し、 α -型不純物領域を形成してもよい。

[illegible]

[illegible]

● ● ● ● ● ● ● ● ● ●

本等年々には愛媛県（原隊長位）③園の傍
 ・園庭敷の古焼付海苔の如く鉛線灰汁糊付海苔
 の模様、出荷焼の米駄々灰は園庭敷、園一畝

たがすも、該等商標は、その共同不審商標として
行使せられずとも消滅せられてしまつてもよく、
該商標のうちの一個を「マーク」してしまふ
ら。

大體、この二つの方面から見て、我が國の政治は、
 一、政治の腐敗、二、政治の無能、三、政治の無責任、
 四、政治の無能、五、政治の無責任、六、政治の無能、
 七、政治の無責任、八、政治の無能、九、政治の無責任、
 十、政治の無能、十一、政治の無責任、十二、政治の無能、
 十三、政治の無責任、十四、政治の無能、十五、政治の無責任、
 十六、政治の無能、十七、政治の無責任、十八、政治の無能、
 十九、政治の無責任、二十、政治の無能、二十一、政治の無責任、
 二十二、政治の無能、二十三、政治の無責任、二十四、政治の無能、
 二十五、政治の無責任、二十六、政治の無能、二十七、政治の無責任、
 二十八、政治の無能、二十九、政治の無責任、三十、政治の無能、
 三十一、政治の無責任、三十二、政治の無能、三十三、政治の無責任、
 三十四、政治の無能、三十五、政治の無責任、三十六、政治の無能、
 三十七、政治の無責任、三十八、政治の無能、三十九、政治の無責任、
 四十、政治の無能、四十一、政治の無責任、四十二、政治の無能、
 四十三、政治の無責任、四十四、政治の無能、四十五、政治の無責任、
 四十六、政治の無能、四十七、政治の無責任、四十八、政治の無能、
 四十九、政治の無責任、五十、政治の無能、五十一、政治の無責任、
 五十二、政治の無能、五十三、政治の無責任、五十四、政治の無能、
 五十五、政治の無責任、五十六、政治の無能、五十七、政治の無責任、
 五十八、政治の無能、五十九、政治の無責任、六十、政治の無能、
 六十一、政治の無責任、六十二、政治の無能、六十三、政治の無責任、
 六十四、政治の無能、六十五、政治の無責任、六十六、政治の無能、
 六十七、政治の無責任、六十八、政治の無能、六十九、政治の無責任、
 七十、政治の無能、七十一、政治の無責任、七十二、政治の無能、
 七十三、政治の無責任、七十四、政治の無能、七十五、政治の無責任、
 七十六、政治の無能、七十七、政治の無責任、七十八、政治の無能、
 七十九、政治の無責任、八十、政治の無能、八十一、政治の無責任、
 八十二、政治の無能、八十三、政治の無責任、八十四、政治の無能、
 八十五、政治の無責任、八十六、政治の無能、八十七、政治の無責任、
 八十八、政治の無能、八十九、政治の無責任、九十、政治の無能、
 九十一、政治の無責任、九十二、政治の無能、九十三、政治の無責任、
 九十四、政治の無能、九十五、政治の無責任、九十六、政治の無能、
 九十七、政治の無責任、九十八、政治の無能、九十九、政治の無責任、
 一百、政治の無能、

$S_{\alpha, \beta, \gamma, \delta, \epsilon, \zeta, \eta, \theta, \iota, \kappa, \lambda, \mu, \nu, \xi, \omicron, \pi, \rho, \sigma, \tau, \upsilon, \phi, \chi, \psi, \omega, \delta, \epsilon, \zeta, \eta, \theta, \iota, \kappa, \lambda, \mu, \nu, \xi, \omicron, \pi, \rho, \sigma, \tau, \upsilon, \phi, \chi, \psi, \omega}$

上野公園の東側にあり、明治時代から、東京の中心地として発展してきた。その中心地としての発展は、明治時代から昭和時代にかけて、東京の中心地としての発展を遂げた。その中心地としての発展は、東京の中心地としての発展を遂げた。その中心地としての発展は、東京の中心地としての発展を遂げた。

● 〇、日 國 際 法 々 條 約 已 於 多 國 條 約 條 約 中 有 之

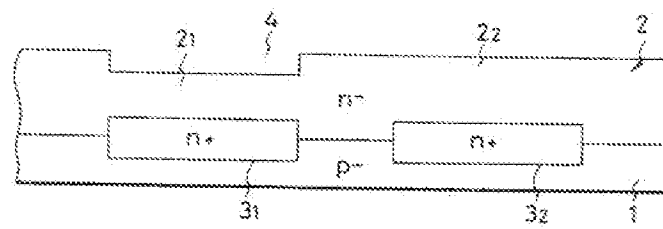
[illegible]

製造を得るための製造工程を示す断面図である。

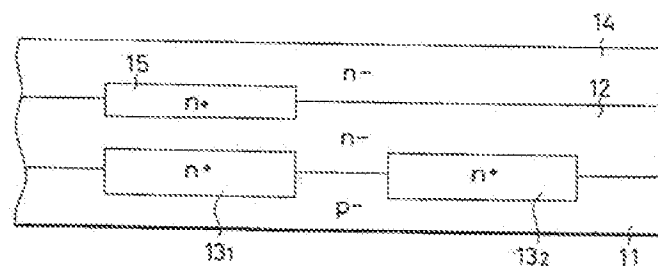
[illegible]

出願人代理人 齊理士 謝 江 榮 啟

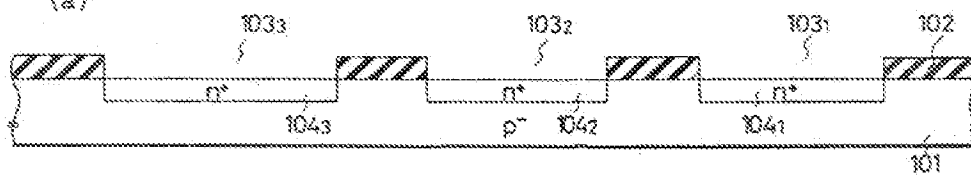
第 1 圖



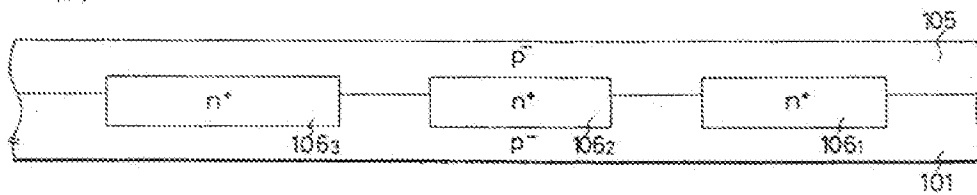
第 2 圖



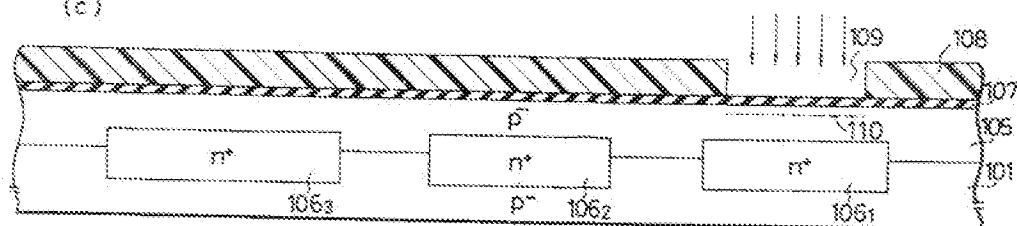
■ 3 ■
(a)



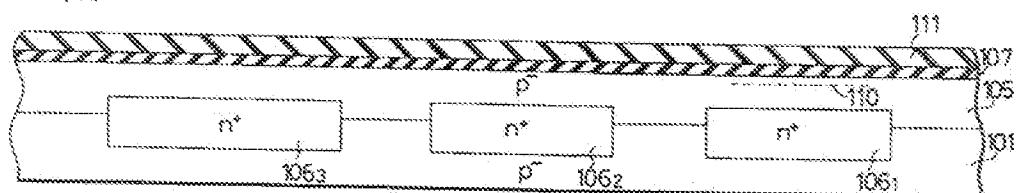
(b)



153

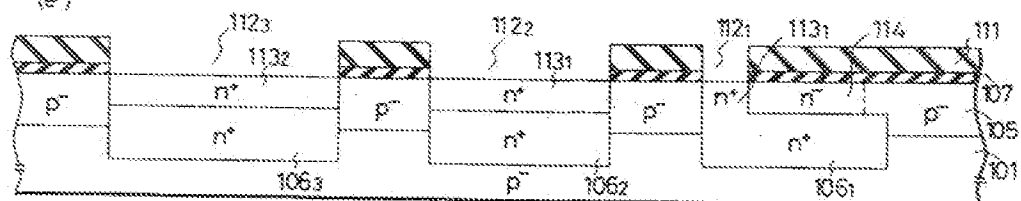


(2)



3

55



1999

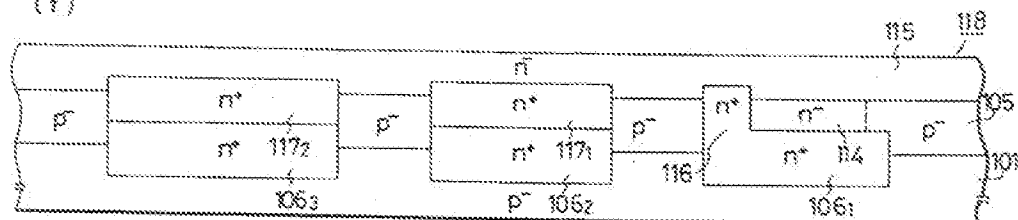
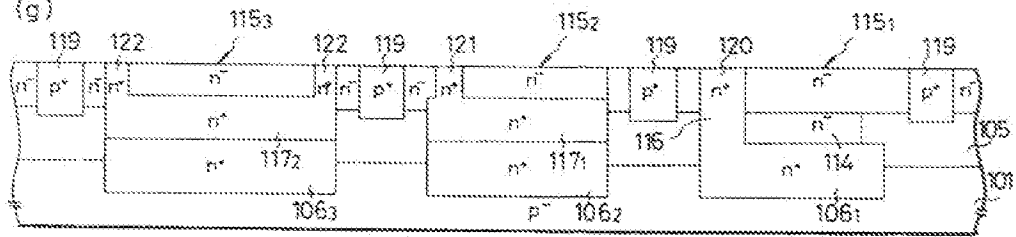


図 3

(g)



(h)

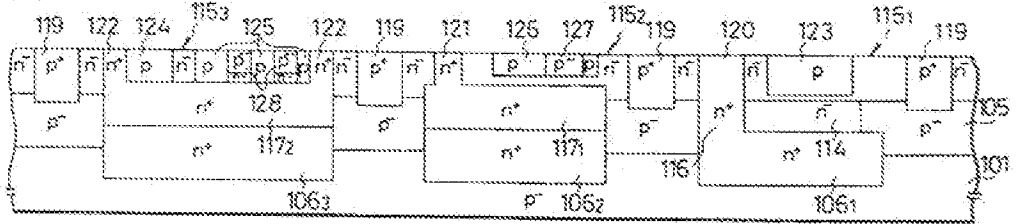
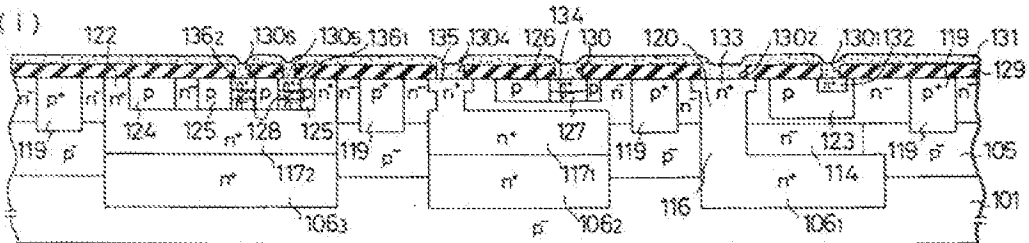


図 3

(i)



手続補正書(方式)

昭和56年12月18日

特願58-9356(10)

特許庁長官 島田 春 樹 殿

7. 補正の内容

明細書中第2頁20行目において、「第3図(a)～(i)」とあるを「第3図(a)～(j)」と訂正する。

1. 事件の表示

特願58-106515号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人

(307) 東京芝浦電気株式会社

4. 代理人

住所 東京都港区虎ノ門1丁目8番5号 第17条ビル
〒105 電話 03(502) 3181(大代表)

氏名 (5847) 弁護士 鈴 江 武 彦



5. 補正命令の日付

昭和56年11月24日

6. 補正の対象

明細書